

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

3838800

Basic Patent (No,Kind,Date): JP 57102067 A2 820624 <No. of Patents: 001>

MANUFACTURE OF COMPLEMENTARY TYPE METAL OXIDE SEMICONDUCTOR (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): KIMURA MINORU

IPC: *H01L-027/08; H01L-029/78

Derwent WPI Acc No: *C 82-64587E;

JAPIO Reference No: *060189E000084;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 57102067	A2	820624	JP 80178417	A	801217 (BASIC)

Priority Data (No,Kind,Date):

JP 80178417 A 801217

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

00951767 **Image available**

MANUFACTURE OF COMPLEMENTARY TYPE METAL OXIDE SEMICONDUCTOR

PUB. NO.: 57-102067 [JP 57102067 A]

PUBLISHED: June 24, 1982 (19820624)

INVENTOR(s): KIMURA MINORU

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 55-178417 [JP 80178417]

FILED: December 17, 1980 (19801217)

INTL CLASS: [3] H01L-027/08; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);
R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 133, Vol. 06, No. 189, Pg. 84, September 28, 1982 (19820928)

ABSTRACT

PURPOSE: To prevent the decrease of effective channel length by forming a source region and a drain region so that they are shallow near a channel region and are deep at a section parting from the channel region.

CONSTITUTION: The source and drain regions in an N-MOSFET and a P-MOSFET are shaped shallowly near the channel regions. On the other hand, contact regions 50, 51, 50', 51' having deep diffusion depth, which reach a sapphire substrate 41, are formed under source electrodes 52, 52' and a drain electrode 53. Accordingly, the decrease of the effective channel length is prevented while wiring resistance is minimized and the operating property at high speed of an element is maintained, and leakage currents through a P(sup -) type substrate region are prevented.

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—102067

⑬ Int. Cl.³
H 01 L 27/08
29/78

識別記号

庁内整理番号
6426—5F
7377—5F

⑭ 公開 昭和57年(1982)6月24日

発明の数 1
審査請求 未請求

(全 10 頁)

⑮ 相補型 MOS 半導体装置の製造方法

京芝浦電気株式会社総合研究所
内

⑯ 特 願 昭55—178417

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭55(1980)12月17日

川崎市幸区堀川町72番地

⑲ 発 明 者 木村実

⑳ 代 理 人 弁理士 鈴江武彦 外 2 名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

相補型 MOS 半導体装置の製造方法

2. 特許請求の範囲

- (1) Pチャネルトランジスタ用およびnチャネルトランジスタ用の活性領域を備えた半導体基体に素子分離を施す工程と、両活性領域のチャネル領域予定部上にゲート絶縁膜を介してゲート電極を形成する工程と、一方の活性領域を覆うレジストパターンを形成した後、該レジストパターンおよび他方の活性領域上のゲート電極をマスクとして不純物ドーピングを交互に行なうことにより、nチャネルトランジスタおよびpチャネルトランジスタの浅いソースおよびドレイン領域を形成する工程と、全面に層間絶縁膜を形成する工程と、nチャネルトランジスタにおけるソース領域およびドレイン領域のチャネル領域とは反対側の部分上の層間絶縁膜に選択的にコンタクトホールを開孔した後、この

層間絶縁膜をマスクとしてn型不純物の高濃度ドーピングを行なつて、コンタクトホール下に拡散深度の深いコンタクト領域を形成する工程と、pチャネルトランジスタにおけるソース領域およびドレイン領域のチャネル領域とは反対側の部分上に選択エッチングによりコンタクトホールを開孔した後、少なくともnチャネルトランジスタ部分上に選択エッチングに使用したレジストパターンを残置した状態でp型不純物の高濃度ドーピングを行なつてコンタクトホール下に拡散深度の深いコンタクト領域を形成する工程と、電極材料層を全面に蒸着した後、これをパターンニングすることにより、コンタクトホールを介してnチャネルトランジスタおよびpチャネルトランジスタにおける前記コンタクト領域とオーミック接続したソース電極およびドレイン電極を形成する工程とを具備したことを特徴とする相補型 MOS 半導体装置の製造方法。

(2) pチャネルトランジスタ用およびnチャネルトランジスタ用の活性領域を備えた半導体基体として、絶縁基板上に半導体層を形成した基体^{を用い}であることを特徴とする特許請求の範囲第(1)項記載の相補型MOS半導体装置の製造方法。

(3) nチャネルトランジスタ用およびpチャネルトランジスタのドレイン領域における拡散深度の深いコンタクト領域が一部重なり合っていることを特徴とする特許請求の範囲第(2)項記載の相補型MOS半導体装置の製造方法。

(4) 拡散深度の深いコンタクト領域を形成するための不純物ドーピング法として、オン注入法を用いたことを特徴とする特許請求の範囲第(1)項乃至第(3)項の何れか1項記載の相補型MOS半導体装置の製造方法。

3. 発明の詳細な説明

本発明は相補型MOS半導体装置の製造方法に関する。

3

はゲート酸化膜⁵を介してゲート電極⁶が形成されている。なをp型の活性領域とn型の活性領域との境界には、通常、図示しない素子分離用のフィールド酸化膜が形成されている。

ところで、上記構造からなるC-MOSの動作速度を高速度化する観点からは配線抵抗をできるだけ小さくする必要があり、そのためにはソース領域³、^{3'}およびドレイン領域⁴、^{4'}の不純物濃度を高く、また拡散深度を深くしなければならない。ところが、不純物の拡散は一般に等方的であるから拡散深度を大きくすれば横方向の拡散長も大きくなり、ソースおよびドレイン領域がゲート電極下に侵入して形成される結果、実効チャネル長が設計値よりも短くなってしまう。この実効チャネル長の減少は素子の微細化されるほどその比率が高くなり、チャネルのショート化など素子の信頼性を損なう原因となる。そこで素子の微細化が高度になるに従い、実効チャ

pチャネルMOSトランジスタ（以下P-MOSFETという）およびnチャネルMOSトランジスタ（以下N-MOSFETという）からなる相補型MOS半導体装置（以下C-MOSという）は消費電力が小さく、またノイズマージンが大きい等の利点を有することからICメモリー等の集積回路として汎く用いられている。

第1図は上記CMOSの1例を示す断面図である。同図において、¹はn型シリコン基板である。該シリコン基板¹にはp型ウェル領域²が形成されている。このp型ウェル領域の表層はN-MOSFET用の活性領域であり、ⁿ⁺型のソース領域³およびドレイン領域⁴が形成され、そのチャネル領域上にはSiO₂からなるゲート酸化膜⁵を介して多結晶シリコンからなるゲート電極⁶が形成されている。一方、シリコン基板¹のn型表層はP-MOS^{FET}用の活性領域であり、^{p+}型のソース領域^{3'}およびドレイン領域^{4'}が形成され、そのチャネル領域上に

4

チャネル長の減少を防止するため、第2図に示すように拡散深度の浅いソース領域⁷、^{7'}、およびドレイン領域⁸、^{8'}が形成されるようになった。しかし、この場合には当然ながら素子の動作速度を犠牲にせざるを得ず、更に、サファイア基板^上のシリコン層に素子を形成したSOS構造（Silicon on Sapphire）のC-MOS（以下SOS/C-MOSという）ではそれ以外に次のような問題が生じる。

SOS/C-MOSでは例えば第3図に示すようにサファイア基板¹¹上に周囲をフィールド酸化膜¹²で絶縁された島状の素子領域にN-MOSFETおよびP-MOSFETが形成されている。同図において、¹³、^{13'}はソース領域、¹⁴、^{14'}はドレイン領域、¹⁵、^{15'}はゲート酸化膜、¹⁶、^{16'}はゲート電極である。図示のように、SOS/C-MOSではN-MOSFETとP-MOSFETとは両者のドレイン領域¹⁴、^{14'}間のPN接合^上によって互いに分離された構造になつてゐる。従つ

て、第4図に示すようにサファイア基板11に達しないソース領域17、17'およびドレイン領域18、18'を形成すると、P-MOSFETの p^+ 型ドレイン領域18'と P^- 型の基板領域19との間には同導電型となるため、両者の間では電気的な分離が達成されない。このようなSOS/C-MOSにおいて、N-MOSFETのソース領域17をアース電位に接続してP-MOSFETのソース領域に電源電位を位加する一方、ゲート電極16、16'に入力電圧を加えてドレイン領域18、18'の共通電極から出力を取出すことによりインバータ動作を行なった場合、P-MOSFETがON状態でN-MOSFETがOFF状態であるにもかかわらず、N-MOSFETに次のようなリーク電流が流れる。即ち、P-MOSFETのソース領域17'およびドレイン領域18'から同導電型の p^- 型基板領域19を経由した電流は該基板領域19と順バイアスになつてゐるN-MOSFETのソース領域17に流れてしまう。この

7

電極24、24'を形成する。引き続き、P-MOSFETの予定領域上に選択的にレジストパターン25、を形成した後、該レジストパターン25、およびゲート電極24をマスクとして酸素のイオン注入を行ないN-MOSFETにおける n^+ 型の浅いソース領域26およびドレイン領域27を形成する(第5図(a)図示)。

このとき、ソースおよびドレイン領域26、27のゲート電極下への侵入による実効チャンネル長の減少は防止されるが、両領域26、27はサファイア基板21には到達しない。

- (ii) 次に、レジストパターン25、を除去した後、新たにN-MOSFET上を覆うレジストパターン25、を形成する。続いて該レジストパターン25、およびゲート電極24'をマスクとしてボロンをイオン注入し、P-MOSFETにおける p^+ 型の浅いソース領域26'およびドレイン領域27'を形成する(同図(b)図示)。

9

リーク電流によりインバータ機能は著しく劣化する。

以上述べたように、C-MOSには相容れない二種類の問題がある。第1は実効チャンネル長減少の問題であり、第2は動作速度に影響する配線抵抗の問題である。およびSOS/C-MOSにおけるリーク電流の問題である。そこで、本願出願人はこの両者を同時に解決する為に、チャンネル領域近傍では浅く、電極とのコンタクト部分では深い階段状のソース領域およびドレイン領域を形成したC-MOSを提案した。このような構造からなるSOS/C-MOSの製造方法を第5図(a)~(e)を参照して説明する。

- (i) まず、サファイア基板21上に周囲をフィールド酸化膜22で絶縁された p^- 型シリコン層からなる島状の素子領域を形成し、該素子領域の表面を熱酸化してゲート酸化膜となる SiO_2 膜23を形成した後、N-MOSFETおよびP-MOSFETのチャンネル領域予定部上に多結晶シリコンからなるゲート

8

- (ii) 次に、フォトリソist膜25、を除去した後、P-MOSFET領域およびN-MOSFETのゲート電極24近傍を覆うレジストパターン25、を形成する。続いて、該レジストパターン25、をマスクとして磷の高濃度イオン注入を行ない、N-MOSFETにおけるソース領域26およびドレイン領域27のチャンネル領域とは反対側の部分にサファイア基板21に達する拡散深度の深い n^{++} 型コンタクト領域28、29を形成する(同図C図示)。

- (iv) 次に、レジストパターン25、を除去した後、今度はN-MOSFET領域およびP-MOSFETのゲート電極24'近傍を覆うレジストパターン25、を形成する。続いて、該レジストパターン25、をマスクとしてボロンの高濃度イオン注入を行ない、P-MOSFETにおけるソース領域26'およびドレイン領域27'のチャンネル領域とは反対側の部分にサファイア基板21に達する拡散深度

10

の深い p^{++} 型コンタクト領域 28', 29' を形成する (同図(d) 図示)。

- (M) 次に、レジストパターン 25. を除去し、全面に SiO_2 からなる層間絶縁膜 30 を堆積した後、フォトリソエッチングにより $N-MOSFET$ および $P-MOSFET$ のコンタクト領域 28, 28', 29, 29' 上にコンタクトホールを開口する。その際、コンタクト領域 29, 29' 上には共通のコンタクトホールを開口する。続いて、アルミニウムの蒸着およびパターンニングを行ない、 $N-MOSFET$ のソース電極 31 および $P-MOSFET$ のソース電極 31', 並びに両者共通のドレイン電極 32 を形成する (同図(e) 図示)。

上述の製造方法により製造された $SOS/C-MOS$ では、 $N-MOSFET$ および $P-MOSFET$ ともにチャンネル領域近傍では拡散深度の浅いソース^{およびドレイン}領域 26, 26', 27, 27' が形成されているため、実効チャンネル長の減少は有効に防止されている。他方、各ソー

スおよびドレイン領域のチャンネル領域とは反対側の部分には拡散深度の深い高濃度のコンタクト領域が形成されているから配線抵抗は小さく、従つて動作速度の高速化を達成することができる。更に、各コンタクト領域 28, 28', 29, 29' はサブファイア基板 21 に到達して形成され、 $N-MOSFET$ と $P-MOSFET$ とは両者のドレイン領域におけるコンタクト領域 29, 29' 間で高濃度の PN 接合によつて完全に分離されており、従つて前述のようなりーク電流も発生しない。

さて、こうして $C-MOS$ において二種相反する問題とされていた二種類の問題は解決されることとなつたが、他方、その製造法の上で新たな問題を生じている。第 1 の問題は製造工程が複雑化することである。周知のように、 $C-MOS$ の製造には他の MOS 型半導体装置の製造よりも複雑な工程が必要とされるが、これは $N-MOSFET$ および $P-MOSFET$ のソース、ドレインを形成するために別々の不純物

11

ドーピング工程を必要とし、そのために不純物ドーピングに対するレジストマスクを形成するための光蝕刻工程 (Photo Engraving Process; 以下 PEP という) の回数が増加するからである。PEP の回数が増大すればそれに伴つてマスク合わせ誤差の生じる確率も増大し、素子特性の劣化を招くことにもなる。この観点から上述の $SOS/C-MOS$ の製造方法を検討してみると、通常の $C-MOS$ 製造の場合に比較して、拡散深度の深い高不純物濃度のコンタクト領域 28, 29, 28', 29' を形成するための工程、即ち工程 ③ および工程 ④ だけ余分の工程が必要とされ、しかも、工程 ③ および工程 ④ の両者において、夫々レジストパターン 25., 25. を形成するため PEP が必要とされる。このことから、上述の $SOS/C-MOS$ の製造方法が如何に複雑な製造工程を必要とするかが理解されよう。因みに、上述の製造方法において、ゲート電極 24, 24' を形成した後、第 5 図 (e) の状態の $SOS/C-MOS$ を形成するた

13

12

めに必要とされる PEP の回数は、不純物ドーピングに対するマスクであるレジストパターン 25., ~ 25. を形成するための 4 回の PEP と、コンタクトホールの形成のための選択エッチングおよび A ① 電極 31, 31', 32 のパターンニングのための選択エッチングに夫々付随する 2 回の PEP とを合せて計 6 回の PEP が必要である。

第 2 の問題は、コンタクト領域 28, 29 を形成するために隣の高濃度イオン注入を行なう際、マスクとして使用したレジストパターン 25. が変性して通常の SH 処理液 (硫酸 : 過酸化水素 = 3 : 1) では除去されなくなり、レジストパターン 25. を除去するために特殊な方法を必要とすることである。この問題はボロンの高濃度イオン注入によりコンタクト領域 28', 29' を形成する際のレジストパターン 25. にも生じ得るが、この場合はボロンの加速電圧を制御することによりこの問題を回避することが可能である。

14

第3の問題は高濃度イオン注入時における基板の温度上昇により、マスクであるレジストパターン25、または25aが形崩れを起こし、その結果、不純物ドーピングの精度が悪くなつて装置の信頼性が低下する虞れも生じることである。

本発明は以上述べた事情に鑑みてなされたものであり、N-MOSFETおよびP-MOSFETのソース領域およびドレイン領域をチャンネル領域近傍では浅く、またチャンネル領域から離隔した部分では深く形成したC-MOSを製造するに際し、従来の製造方法よりもPEPの回数が1回少なく済み、高濃度イオン注入によるレジストパターンの変性を回避し得、更にレジストパターンの形崩れによる装置の信頼性低下をも抑制し得る相補型MOS半導体装置の製造方法を提供するものである。

即ち、本発明は、Pチャンネルトランジスタ用およびnチャンネルトランジスタ用の活性領域を備えた半導体基体に素子分離を施す工程と

15

上に選択エッチングに使用したレジストパターンを残置した状態でP型不純物の高濃度ドーピングを行なつてコンタクトホール下に拡散深度の深いコンタクト領域を形成する工程と、電極材料層を全面に蒸着した後、これをパターンニングすることにより、コンタクトホールを介してnチャンネルトランジスタおよびpチャンネルトランジスタにおける前記コンタクト領域とオーミック接続したソース電極およびドレイン電極を形成する工程とを具備したことを特徴とする相補型MOS半導体装置の製造方法である。

本発明におけるpチャンネルトランジスタ用およびnチャンネルトランジスタ用の活性領域を備えた半導体基体としては、Si、Ge、GaAs等の半導体物質からなる一導電型の半導体基板に逆導電型のウェル領域を形成した基体を用いることができる。この半導体基体に素子分離を施す方法としては、基体表面における各活性領域の境界部分を選択酸化してフィールド酸化膜を形成する方法を用いることができる。また前

17

両活性領域のチャンネル領域予定部上にゲート絶縁膜を介してゲート電極を形成する工程と、一方の活性領域を覆うレジストパターンを形成した後、該レジストパターンおよび他方の活性領域上のゲート電極をマスクとして不純物ドーピングを交互に行なうことにより、nチャンネルトランジスタおよびpチャンネルトランジスタの浅いソースおよびドレイン領域を形成する工程と、全面に層間絶縁膜を形成する工程と、nチャンネルトランジスタにおけるソース領域およびドレイン領域のチャンネル領域とは反対側の部分上の層間絶縁膜に選択的にコンタクトホールを開孔した後、この層間絶縁膜をマスクとしてn型不純物の高濃度ドーピングを行なつてコンタクトホール下に拡散深度の深いコンタクト領域を形成する工程と、pチャンネルトランジスタにおけるソース領域およびドレイン領域のチャンネル領域とは反対側の部分上に選択エッチングによりコンタクトホールを開孔した後、少なくともnチャンネルトランジスタ部分

16

配半導体基体としてサファイア、スピネル、ガーネット等の絶縁基板上に前記半導体物質からなる半導体層を形成した基体を用いることもできる。この場合には絶縁基板上の半導体層のうち素子領域以外の部分を選択酸化により、フィールド酸化膜に転化するか、或いは選択エッチングにより除去して周囲が絶縁された島状の素子領域を分離する。この素子分離法によつて分離された島状の素子領域は不純物濃度の低い一導電型であつてもよく、またP型およびn型の両領域からなつていてもよい。何れの場合にもこの素子領域にはN-MOSFETおよびP-MOSFETの両者が形成される。

本発明における層間絶縁膜としては、半導体の酸化膜または窒化膜とPSG（磷添加SiO₂ガラス膜）またはBPSG（ボロン、磷添加SiO₂ガラス膜）との積層体を用いることが望ましい。これはPSG、BPSGが低温で成長可能であり、素子領域に影響を与えずに不純物ドーピングのマスクとして十分な膜厚を

18

得ることができるからである。しかし、これ以外にも不純物ドーピングに対するマスクとして使用し得るものであれば他の種類の層間絶縁膜を使用してもよい。

以下第6図(A)~(I)を参照して、本発明をSOS/C-MOSの製造に適用した3実施例を説明する。

(I) まず、サファイア基板41上に p^- 型のエピタキシャルシリコン層を成長させ、該エピタキシャルシリコン層に選択酸化を施すことにより周囲をフィールド酸化膜42で絶縁された島状の p^- 型素子領域43を形成する(第6図(A)図示)。

(II) 次に、素子領域43の表面を熱酸化してゲート酸化膜となる SiO_2 膜44を形成する。続いてCVD法により全面に多結晶シリコン層を堆積した後、これを選択エッチングすることによりN-MOSFETおよびP-MOSFETのチャンネル領域予定部上にゲート電極45、45'を形成する(同図(B)図示)。

19

(III) 次に、選択エッチングによりN-MOSFETにおけるソース領域47およびドレイン領域48のチャンネル領域とは反対側の部分上にコンタクトホールを開孔する。続いて、選択エッチングに用いたレジストパターンを除去した後、層間絶縁膜49をマスクとして硼を加速電圧150 KeV、ドーズ量 $5 \times 10^{18}/cm^2$ の条件でイオン注入し、コンタクトホール下に拡散深度の深い高濃度の n^{++} 型コンタクト領域50、51を形成する(同図(C)図示)。

このとき、 n^{++} 型のコンタクト領域50、51はコンタクトホールに対して自己整合で、かつサファイア基板41に到達して形成される。

(IV) 次に、レジストパターン46、を用いた選択エッチングによりP-MOSFETにおけるソース領域47'およびドレイン領域48'のチャンネル領域とは反対側の部分上にコンタクトホールを開孔する(同図(D)図示)。

続いて、P-MOSFET上のレジストパ

(V) 次に、P-MOSFET領域上にレジストパターン46、を形成した後、該レジストパターン46、およびゲート電極45をマスクとして硼を加速電圧60 KeV、ドーズ量 $1 \times 10^{18}/cm^2$ の条件下でイオン注入してN-MOSFETにおける n^+ 型の浅いソース領域47およびドレイン領域48を形成する(同図(E)図示)。

(VI) 次に、N-MOSFET領域上を覆うレジストパターン46、を形成した後、該レジストパターン46、およびゲート電極45'をマスクとして硼を加速電圧30 KeV、ドーズ量 $8 \times 10^{18}/cm^2$ の条件でイオン注入し、P-MOSFETにおける p^+ 型の浅いソース領域47'およびドレイン領域48'を形成する(同図(F)図示)。

(VII) 次に、全面にCVD SiO_2 膜49、およびBPSG膜(硼、珪、ホウ、ガラス膜)49、を順次堆積し、これらの積層体からなる層間絶縁膜49を形成する(同図(G)図示)。

20

ターン46、部分を除去した後、N-MOSFET上に残置したレジストパターン46'、およびP-MOSFET上の層間絶縁膜49をマスクとして硼を加速電圧100 KeV、ドーズ量 $5 \times 10^{18}/cm^2$ の条件でイオン注入し、コンタクトホール下に p^{++} 型の深いコンタクト領域50'、51'を形成する(同図(H)図示)。

このとき、 p^{++} 型のコンタクト領域50'、51'はコンタクトホールに対して自己整合で、かつサファイア基板41に到達して形成される。

(VIII) 次に、N-MOSFET上のレジストパターン46'、を除去する。この状態で既にコンタクトホールが開孔されているから、続いてアルミニウムの蒸着およびパターンニングを行ない、N-MOSFETのソース電極52、P-MOSFETのソース電極52'および両者共通のドレイン電極53を形成してSOS/C-MOSを得る(同図(I)図示)。

上記実施例によれば、N-MOSFETおよびP-MOSFETにおけるソースおよびドレイン領域をチャンネル領域近傍で浅く形成する一方、ソース電極およびドレイン電極の下方にはサブアリア基板に到達した拡散深度の深いコンタクト領域50、51、52、53を形成することにより、実効チャンネル長の減少を防止すると共に、配線抵抗を小さくして素子の高速動作性を維持し、かつp⁻型の基板領域を介したリーク電流を防止し得るSOS/C-MOSを製造できることが明らかである。

そこで、次に上記実施例において、ゲート電極45、45'を形成した後、A₂電極52、52'、53を形成するまでの工程（工程（Ⅲ）～工程（Ⅶ））でPEPが何回必要であるかを検討すると、下記の通り5回のPEPが必要である。即ち、

- (1) 工程（Ⅲ）においてN-MOSFETにおけるn⁺型の浅いソース領域47およびドレイン領域48を形成するに際し、砒素のイオン

23

既述したように、従来の製造方法においては、ゲート電極形成後に6回のPEPが必要とされていたから、上記実施例の方法によれば、従来の製造方法よりもPEPの回数を1回少なくすることができる。

また、上記実施例の方法では、N-MOSFETにおける拡散深度の深いn⁺型のコンタクト領域を形成する際に、砒の高濃度イオン注入のマスクとしてレジストパターンを用いず、層間絶縁膜49を用いているから、従来法のようにマスクとして用いたレジストパターンが変性して通常の処理では除去できなくなるといった問題を回避することができる。加えて、層間絶縁膜としてCVD-SiO₂膜49、とBP SG膜49、との積層膜を用いた上記実施例では、高濃度イオン注入に対するマスクとして充分な膜厚を低温成長の可能なBP SG膜で達成しているため、層間絶縁膜の形成時の高温によりサブアリア基板から素子領域にアルミニウムがアウトディフュージョンする等の問題をも抑制す

25

注入に対するマスクとしてレジストパターン46、を形成するためのPEP。

- (2) 工程（Ⅳ）において、P-MOSFETにおけるp⁺型の浅いソース領域47およびドレイン領域を形成するに際し、ボロンのイオン注入に対するマスクとしてレジストパターン46、を形成するためのPEP。
- (3) 工程（Ⅴ）において、選択エッチングによりN-MOSFET部分にコンタクトホールを開孔するに際し、エッチングのマスクとして用いるレジストパターンを形成するためのPEP。
- (4) 工程（Ⅵ）において、P-MOSFET部分にコンタクトホールを開孔するためのエッチングマスクであるレジストパターン46、を形成するためのPEP。
- (5) 工程（Ⅶ）において、A₂電極52、52'、53をパターンニングするために選択エッチングのマスクとしてレジストパターンを形成するためのPEP。

24

ることができる。

更に上記実施例によれば、高濃度イオン注入時の基体温度の上昇によりレジストのマスクパターンが形崩れして素子の精度が低下するという従来法における問題も著しく改善される。即ち、砒の高濃度イオン注入にはマスクとしてレジストパターンを使用しないからこの問題が生じる余地はなく、またボロンの高濃度イオン注入においても第6図(4)に示すようにP-MOSFET上のレジストパターン46、を除去して行なうから、レジストパターン46、の形崩れによる影響を最小限に抑えることができる。

なお、上記実施例では工程（Ⅶ）におけるボロンの高濃度イオン注入に際してP-MOSFET上のレジストパターン46、を除去して行なうたが、これを除去せずに第6図(4)に示す状態でイオン注入を行なつた場合にも本発明における主要な効果を得ることができる。

また、SOS/C-MOSではN-MOSFETおよびP-MOSFETのドレイン領域が

26

完全なPN接合を形成していることが必要であるから、これを保証するために、上記実施例において、両トランジスタのドレイン側のコンタクト領域51, 51'の一部が相互に重なるように、溝およびボロンの高濃度イオン注入を行なうのが望ましい。

以上詳述したように、本発明によれば、N-MOSFETおよびP-MOSFETのソース領域およびドレイン領域をチャネル領域近傍では浅く、またチャネル領域から離間した部分では深く形成することにより実効チャネル長の減少を防止すると共に素子の高運動性を維持した相補型MOS半導体装置を製造するに際し、従来の製造方法よりもPEPの回数が1回少なく済み、かつ高濃度イオン注入によるレジストパターンの変性を防止し得、更にレジストパターンの形崩れによる装置の信頼性低下も抑制し得る相補型MOS半導体装置の製造方法を提供できるものである。

27

パターン、47, 47'…ソース領域、48, 48'…ドレイン領域、49…層間絶縁膜、49, …CVD-SiO₂膜、49, …BPSG膜、50, 50', 51, 51'…コンタクト領域、52, 52'…ソース電極、53…ドレイン電極。

出願人代理人 弁理士 鈴 江 武 彦

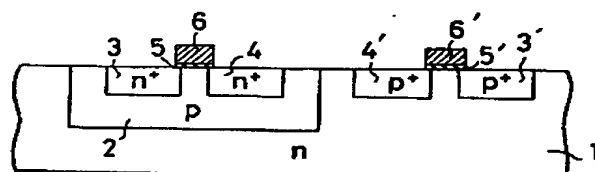
4. 図面の簡単な説明

第1図および第2図はn型シリコン基板にP型ウェルを形成した基体を用いたC-MOSの構造を示す図であり、第1図はソースおよびドレインを深く形成したC-MOSの断面図、第2図はソース・ドレインを浅く形成したC-MOSの断面図、第3図および第4図はSOS/C-MOSの構造を示す図であり、第3図はソース・ドレインを深く形成したSOS/C-MOSの断面図、第4図はソース・ドレインを浅く形成したSOS/C-MOSの断面図、第5図(a)~(e)はソース・ドレインをチャネル領域近傍では浅く、チャネル領域から離間した部分では深く形成したSOS/C-MOSの従来の製造工程を示す断面図、第6図(A)~(I)は本発明をSOS/C-MOSの製造に適用した1実施例における製造工程を示す断面図である。

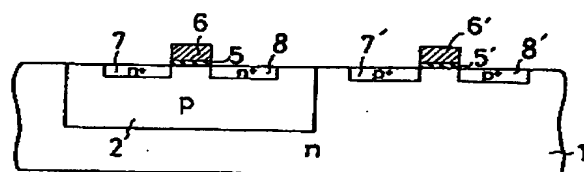
41…サファイア基板、42…フィールド酸化膜、43…素子領域、44…SiO₂膜、45, 45'…ゲート電極、46, …46, …レジスト

28

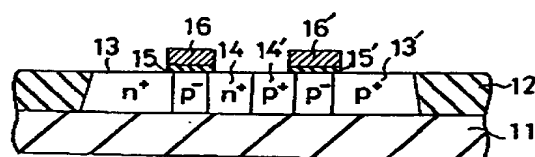
第1図



第2図

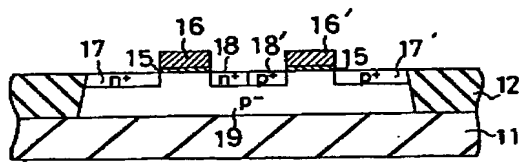


第3図

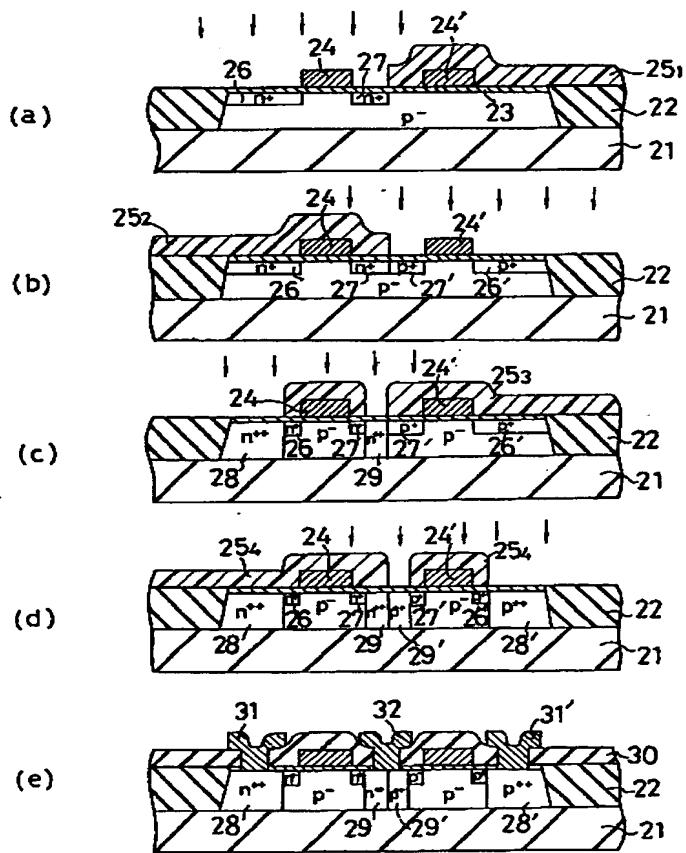


29

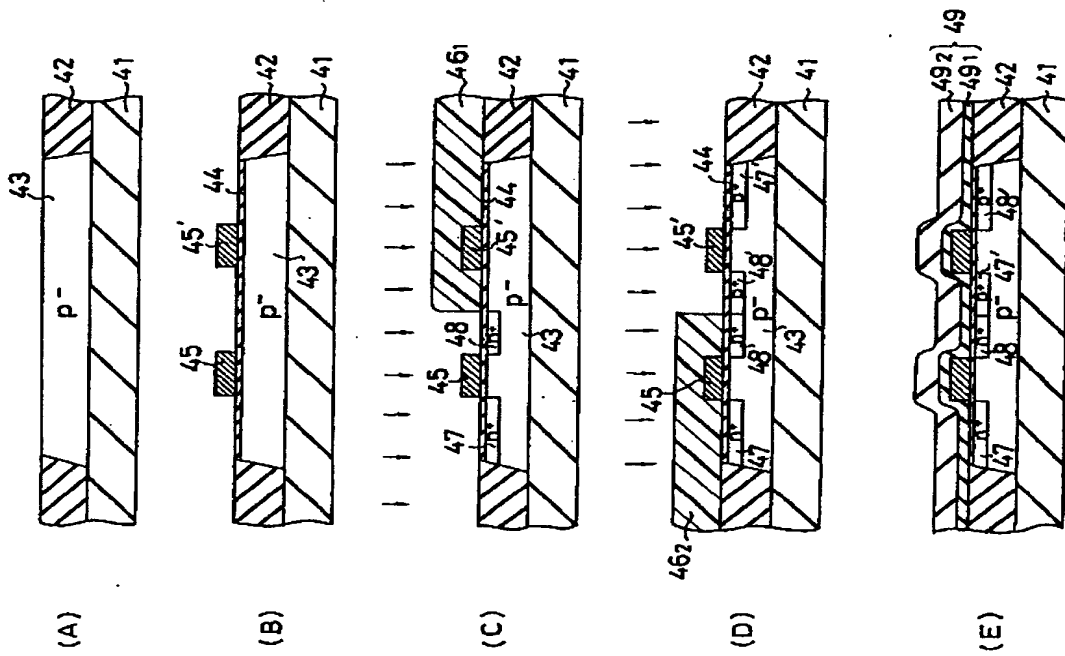
第 4 図



第 5 図



第 6 図



第 6 図

